

日 本 国 特 許 庁
JAPAN PATENT OFFICE

J1046 U.S. P.T.
09/996990
11/30/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office

出 願 年 月 日
Date of Application:

2001年 1月 9日

出 願 番 号
Application Number:

特願2001-001705

出 願 人
Applicant(s):

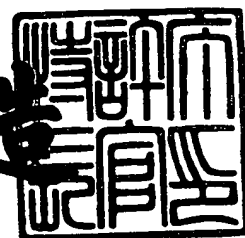
株式会社村田製作所

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年10月26日

特許庁長官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3093678

【書類名】 特許願

【整理番号】 30-1022

【提出日】 平成13年 1月 9日

【あて先】 特許庁長官殿

【国際特許分類】 H03L 7/18
H03B 1/04

【発明者】

【住所又は居所】 京都府長岡京市天神二丁目 2 6 番 1 0 号 株式会社村
田製作所内

【氏名】 前田 洋二

【発明者】

【住所又は居所】 京都府長岡京市天神二丁目 2 6 番 1 0 号 株式会社村
田製作所内

【氏名】 松島 明正

【発明者】

【住所又は居所】 京都府長岡京市天神二丁目 2 6 番 1 0 号 株式会社村
田製作所内

【氏名】 嶋村 善和

【特許出願人】

【識別番号】 000006231

【住所又は居所】 京都府長岡京市天神二丁目 2 6 番 1 0 号

【氏名又は名称】 株式会社村田製作所

【代表者】 村田 泰隆

【電話番号】 075-955-6731

【手数料の表示】

【予納台帳番号】 005304

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 チューナ

【特許請求の範囲】

【請求項 1】 基準発振子回路と、電圧制御発振器と、前記基準発振子回路の発振信号と前記電圧制御発振器の発振信号とを位相比較し、該比較結果に応じて前記電圧制御発振器の発振信号の発振周波数を制御する PLL 回路と、前記電圧制御発振器の発振信号に基き、入力信号を中間周波信号に周波数変換する混合器とを備えるチューナであって、

前記基準発振子回路と前記 PLL 回路との間に、前記基準発振子回路の発振信号を通過させ、前記電圧制御発振器の発振信号を阻止するインダクタンス素子を接続したことを特徴とするチューナ。

【請求項 2】 基準発振子回路と、電圧制御発振器と、前記基準発振子回路の発振信号と前記電圧制御発振器の発振信号とを位相比較し、該比較結果に応じて前記電圧制御発振器の発振信号の発振周波数を制御する PLL 回路と、前記電圧制御発振器の発振信号に基き、入力信号を中間周波信号に周波数変換する混合器とを備えるチューナであって、

前記基準発振子回路と前記 PLL 回路との間に、前記基準発振子回路の発振信号を通過させ、前記電圧制御発振器の発振信号を阻止するフィルタを接続したことを特徴とするチューナ。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、チューナに関し、特に基準発振子回路の発振信号からの妨害波を改善するチューナに関する。

【 0 0 0 2 】

【従来の技術】

CATVでは、放送電波の再送信、空チャンネル、ミッドバンド、スーパーバンドを用いて数十チャンネルの番組の送信が可能である。このようなCATVでは、番組の選択と課金のために、信号のスクランブルと必要情報の交信が併用され

るため、ダブルコンバージョンチューナを受信機の前に設置して受信が行われる。

【 0 0 0 3 】

図 3 は、従来のチューナのブロック図である。チューナ 5 0 は、入力端子 1、第 1 ～ 第 4 の帯域通過フィルタ 2 a ～ 2 d、自動利得制御器 3、第 1 ～ 第 3 の増幅器 4 a ～ 4 c、第 1 及び第 2 の混合器 5 a、5 b、第 1 及び第 2 の電圧制御発振器 6 a、6 b、第 1 及び第 2 の P L L 回路 7 a、7 b、基準発振子回路 8、出力端子 9 を備える。

【 0 0 0 4 】

このチューナ 5 0 は、入力された入力信号をアップコンバータで周波数を上げ、次にダウンコンバータで周波数を下げることにより、妨害等を除去するダブルコンバージョン方式のものである。

【 0 0 0 5 】

次に、チューナ 5 0 の動作について説明する。入力端子 1 より入力された入力信号は、第 1 の帯域通過フィルタ 2 a により受信信号の周波数帯以外が減衰され、自動利得制御器 3 にて受信信号レベルに応じた自動利得制御電圧により所定のレベル範囲に制限された後、第 1 の増幅器 4 a により増幅され、第 1 の混合器 5 a に供給される。第 1 の混合器 5 a は、第 1 の電圧制御発振器 6 a から出力される第 1 の局部発振信号に基いて、入力された入力信号を第 1 の中間周波信号に変換する。この場合、第 1 の電圧制御発振器 6 a は、第 1 の P L L 回路 7 a によりその発振周波数が制御されるとともに、周波数の安定化が図られる。

【 0 0 0 6 】

第 1 の混合器 5 a から出力された第 1 の中間周波信号は、第 2 の帯域通過フィルタ 2 b により、第 1 の中間周波数帯以外が減衰され、第 2 の増幅器 4 b で増幅された後、第 3 の帯域通過フィルタ 2 c により、再度第 1 の中間周波数帯以外が減衰され、第 2 の混合器 5 b に供給される。第 2 の混合器 5 b は、第 2 の電圧制御発振器 6 b から出力される第 2 の局部発振信号に基いて、入力された第 1 の中間周波信号を第 2 の中間周波信号に変換する。この場合、第 2 の電圧制御発振器 6 b は、第 2 の P L L 回路 7 b によりその発振周波数が制御されるとともに、周

波数の安定化が図られる。第2の混合器5bから出力された第2の中間周波信号は、第4の帯域通過フィルタ2dにより、第2の中間周波数帯以外が減衰され、第3の増幅器4cで増幅された後、出力端子9より出力される。

【0007】

なお、第1のPLL回路7aと基準発振子回路8とは直接接続され、第2のPLL回路7bと基準発振子回路8とはコンデンサC2及び増幅器AMPを介して接続される。基準発振子回路8は、水晶振動子XとコンデンサC1とからなり、発振信号を第1及び第2のPLL回路7a、7bに供給する。そして、この基準発振子回路8からの発振信号をもとに、基準発振子回路8と第1のPLL回路7aに内蔵される増幅器とで構成させる基準発振回路で発振させる基準周波信号を第1の電圧制御発振器6aへ供給する。

【0008】

【発明が解決しようとする課題】

ところが、上述の従来のチューナによれば、近年の小型化設計要望により第1の電圧制御発振器、第1のPLL回路及び基準発振子回路は同じ筐体内に近接して配置されるため、第1の局部発振信号が基準発振子回路と第1のPLL回路との接続端子から第1のPLL回路の増幅器へ流入してしまう。その結果、第1のPLL回路の増幅器で、基準発振子回路と第1のPLL回路に内蔵される増幅器とで発振させる基準周波信号とこの流入してきた第1の局部発振信号が混合され、基準発振子回路と第1のPLL回路に内蔵される増幅器とで発振させる基準周波信号は、第1の局部発振信号が重畳された（基準周波信号±第1の局部発振信号）となる。この第1の局部発振信号を含む基準周波信号は第1のPLL回路を經由して第1の電圧制御発振器に戻る。通常、基準発振子回路回路を構成する精度の高い水晶振動子の発振周波数は第1の局部発振信号より低い4MHz帯が使われるが、この発振周波数はアナログ映像系伝送帯域幅6MHz内にあるため、（基準周波信号±第1の局部発振信号）が妨害波となりCATVの画質が低下するといった問題があった。

【0009】

本発明は、このような問題点を解決するためになされたものであり、電圧制御

発振器の発振信号が基準発振子回路と P L L 回路との接続端子から P L L 回路に流入するのを防ぐことが可能なチューナを提供することを目的とする。

【 0 0 1 0 】

【課題を解決するための手段】

上述する問題点を解決するため本発明のチューナは、基準発振子回路と、電圧制御発振器と、前記基準発振子回路の発振信号と前記電圧制御発振器の発振信号とを位相比較し、該比較結果に応じて前記電圧制御発振器の発振信号の発振周波数を制御する P L L 回路と、前記電圧制御発振器の発振信号に基き、入力信号を中間周波信号に周波数変換する混合器とを備えるチューナであって、前記基準発振子回路と前記 P L L 回路との間に、前記基準発振子回路の発振信号を通過させ、前記電圧制御発振器の発振信号を阻止するインダクタンス素子を接続したことを特徴とする。

【 0 0 1 1 】

また、本発明のチューナは、基準発振子回路と、電圧制御発振器と、前記基準発振子回路の発振信号と前記電圧制御発振器の発振信号とを位相比較し、該比較結果に応じて前記電圧制御発振器の発振信号の発振周波数を制御する P L L 回路と、前記電圧制御発振器の発振信号に基き、入力信号を中間周波信号に周波数変換する混合器とを備えるチューナであって、前記基準発振子回路と前記 P L L 回路との間に、前記基準発振子回路の発振信号を通過させ、前記電圧制御発振器の発振信号を阻止するフィルタを接続したことを特徴とする。

【 0 0 1 2 】

本発明のチューナによれば、基準発振子回路と P L L 回路との間に、基準発振子回路の発振信号を通過させ、電圧制御発振器の発振信号を阻止するインダクタンス素子あるいはフィルタを接続したため、基準発振回路から電圧制御発振器へ供給される基準周波信号に、妨害波となる電圧制御発振器の発振信号が重畳するのを防止できる。

【 0 0 1 3 】

【発明の実施の形態】

以下、図面を参照して本発明の実施例を説明する。なお、従来例と同一部分に

は、同一符号を付している。

【0014】

図1は、本発明のチューナに係る第1の実施例のブロック図である。チューナ10は、従来例のチューナ50と同様に、入力端子1、第1～第4の帯域通過フィルタ2a～2d、自動利得制御器3、第1～第3の増幅器4a～4c、第1及び第2の混合器5a、5b、第1及び第2の電圧制御発振器6a、6b、第1及び第2のPLL回路7a、7b、基準発振子回路8、出力端子9を備える。

【0015】

そして、第2のPLL回路7bと基準発振子回路8とは従来例のチューナ50と同様にコンデンサC2及び増幅器AMPを介して接続されるが、第1のPLL回路7aと基準発振子回路8とはインダクタンス素子であるインダクタL1を介して接続される。

【0016】

なお、基準発振子回路8と第1のPLL回路7aに内蔵される増幅器とで基準発振回路（図示せず）を構成する。

【0017】

また、インダクタL1は、印刷パターンで形成され、そのインダクタンス値は第1の電圧制御発振器6aの発振信号を阻止するように15nHと小さい。すなわち、インダクタL1のインピーダンスは基準発振子回路8の発振周波数（4MHz）で0.38Ω、第1の電圧制御発振器6aの発振周波数（1.5GHz）では141.3Ωとなり、第1の電圧制御発振器6aの発振信号を阻止できる。

【0018】

図2は、本発明のチューナに係る第2の実施例のブロック図である。チューナ20は、第1の実施例のチューナ10（図1）と比較して、第1のPLL回路7aと基準発振子回路8とがインダクタL2及びコンデンサC3、C4とからなる低域通過フィルタFを介して接続される点で異なる。

【0019】

なお、第1の実施例のチューナ10（図1）と同様に、基準発振子回路8と第1のPLL回路7aに内蔵される増幅器とで基準発振回路（図示せず）を構成す

る。

【0020】

また、インダクタL2及びコンデンサC3、C4のインダクタンス値、キャパシタンス値は、基準発振子回路8の発振信号(4MHz)を通過させ、第1の電圧制御発振器6aの発振信号(1.5GHz)を阻止するように設定されている。

【0021】

上述の実施例のチューナによれば、基準発振子回路と第1のPLL回路との間に、基準発振子回路の発振信号を通過させ、第1の電圧制御発振器の発振信号である第1の局部発振信号を阻止するインダクタンス素子あるいはフィルタを接続したため、基準発振子回路と第1のPLL回路に内蔵される増幅器とで構成させる基準発振回路から第1の電圧制御発振器へ供給する基準周波信号に、妨害波となる第1の局部発振信号が重畳するのを防止できる。

【0022】

したがって、近年の小型化設計により電圧制御発振器と基準発振子回路とを近接させても、CATVの画質が劣化しなくなる。

【0023】

なお、上述の実施例では、チューナがダブルコンバージョンチューナである場合について説明したが、シングルコンバージョンチューナであっても同様の効果が得られる。

【0024】

また、インダクタが印刷パターンである場合について説明したが、チップコイル、空芯コイルなどであっても同様の効果が得られる。

【0025】

さらに、フィルタが低域通過フィルタである場合について説明したが、帯域通過フィルタあるいは帯域阻止フィルタであっても同様の効果が得られる。

【0026】

【発明の効果】

本発明のチューナによれば、基準発振子回路とPLL回路との間に、基準発振

子回路の発振信号を通過させ、電圧制御発振器の発振信号を阻止するインダクタンス素子あるいはフィルタを接続したため、基準発振子回路とPLL回路に内蔵される増幅器とで構成させる基準発振回路から電圧制御発振器へ供給する基準周波信号に、妨害波となる電圧制御発振器の発振信号が重畳するのを防止できる。

【0027】

したがって、近年の小型化設計により電圧制御発振器、基準発振子回路及びPLL回路を近接させても、CATVの画質が劣化しなくなる。

【図面の簡単な説明】

【図1】

本発明のチューナに係る第1の実施例のブロック図である。

【図2】

本発明のチューナに係る第2の実施例のブロック図である。

【図3】

従来のチューナを示すブロック図である。

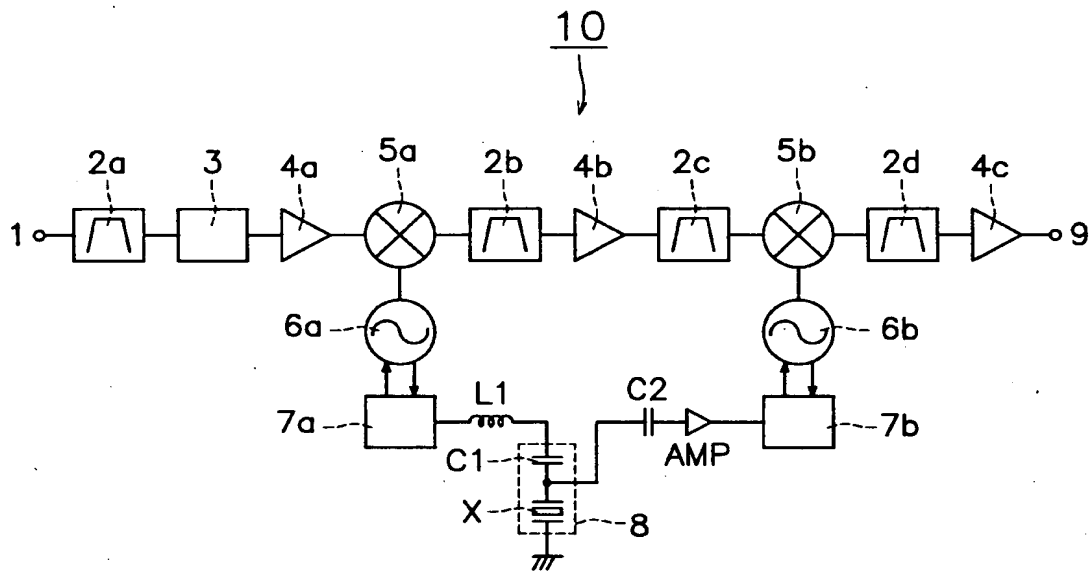
【符号の説明】

5 a, 5 b	混合器
6 a, 6 b	電圧制御発振器
7 a, 7 b	PLL回路
8	基準発振子回路
10, 20	チューナ
F	フィルタ
L1	インダクタンス素子

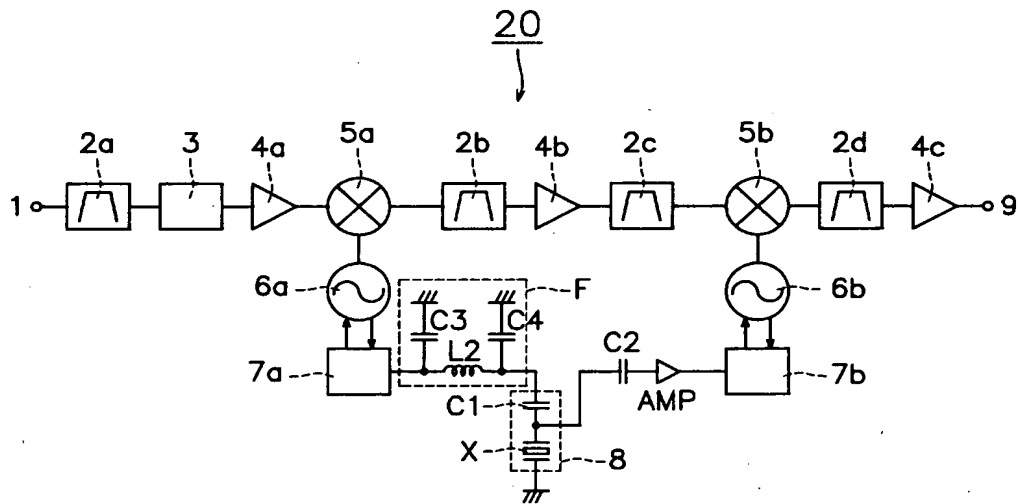
【書類名】

図面

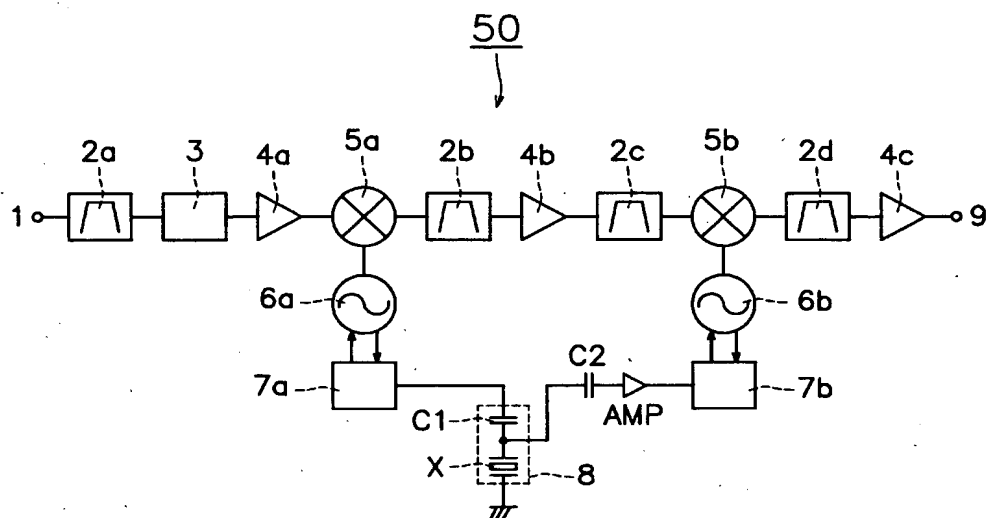
【図 1】



【図 2】



【図 3】



【書類名】 要約書

【要約】

【課題】 電圧制御発振器の発振信号が基準発振子回路とPLL回路との接続端子からPLL回路に流入するのを防ぐことが可能なチューナを提供する。

【解決手段】 チューナ10は、入力端子1、第1～第4の帯域通過フィルタ2a～2d、自動利得制御器3、第1～第3の増幅器4a～4c、第1及び第2の混合器5a、5b、第1及び第2の電圧制御発振器6a、6b、第1及び第2のPLL回路7a、7b、基準発振子回路8、出力端子9を備える。そして、第2のPLL回路7bと基準発振子回路8とは従来例のチューナ50と同様にコンデンサC2及び増幅器AMPを介して接続されるが、第1のPLL回路7aと基準発振子回路8とはインダクタンス素子であるインダクタL1を介して接続される。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000006231]

1. 変更年月日 1990年 8月28日

[変更理由] 新規登録

住 所 京都府長岡京市天神二丁目26番10号
氏 名 株式会社村田製作所